

10/675245
03/22/04



**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

Bescheinigung

Certificate

Attestation

Die angehefteten Unterla-
gen stimmen mit der
ursprünglich eingereichten
Fassung der auf dem näch-
sten Blatt bezeichneten
europäischen Patentanmel-
dung überein.

The attached documents
are exact copies of the
European patent application
described on the following
page, as originally filed.

Les documents fixés à
cette attestation sont
conformes à la version
initialement déposée de
la demande de brevet
européen spécifiée à la
page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

02425592.9

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk



Anmeldung Nr.:
Application no.: 02425592.9
Demande no.:

Anmeldetag:
Date of filing: 30.09.02
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.
Via C. Olivetti, 2
20041 Agrate Brianza (Milano)
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se référer à la description.)

Manufacturing process for a high voltage transistor integrated on a semiconductor substrate with nonvolatile memory cells and corresponding transistor.

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s)
revendiquée(s)
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

H01L/

Am Anmeldetag benannte Vertragstaaten/Contracting states designated at date of
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR IE IT LI LU MC NL PT SE SK TR

Titolo: **Processo per fabbricare un transistoro ad alta tensione integrato su un substrato semiconduttore associato a celle di memoria non volatile e corrispondente transistoro.**

5

DESCRIZIONE

Campo di applicazione

La presente invenzione fa riferimento ad un processo per fabbricare un transistoro ad alta tensione integrato su un substrato semiconduttore associato a celle di memoria non volatile.

10 Più specificatamente l'invenzione si riferisce ad un processo per realizzare transistori HV ad alta tensione con estensione di drain integrati su un substrato semiconduttore insieme a celle di memoria non volatile comprendenti transistori a gate flottante, il processo prevedendo almeno le seguenti fasi:

15 - definizione su un medesimo substrato semiconduttore di rispettive aree attive per transistori HV ad alta tensione e per transistori a gate flottante separate da regioni di isolamento;

- deposizione di uno strato di ossido di gate su dette aree attive;

20 - deposizione di uno strato di polisilicio al di sopra dello strato di ossido di gate;

- una prima mascheratura e successivo attacco dello strato di polisilicio per regioni di gate di detti transistori HV;

- effettuare una prima impiantazione di drogante per realizzare prime porzioni delle giunzioni del transistoro ad alta tensione,

25 - deposizione conforme di uno strato dielettrico su tutto il substrato per realizzare uno strato interpoly di detto transistoro a gate flottante.

L'invenzione fa altresì riferimento ad un transistoro HV ad alta

5 tensione integrato in un substrato semiconduttore di un primo tipo di conducibilità comprendente una regione di gate compresa tra corrispondenti giunzioni di drain e source, del tipo in cui dette giunzioni comprendono prime regioni debolmente drogate con un secondo tipo di conducibilità e seconde regioni maggiormente drogate del secondo tipo di conducibilità.

10 L'invenzione riguarda in particolare, ma non esclusivamente, un processo per realizzare un transistor ad alta tensione integrato su un substrato semiconduttore insieme con una cella di memoria non volatile e la descrizione che segue è fatta con riferimento a questo campo di applicazione con il solo scopo di semplificarne l'esposizione.

Arte nota

15 Com'è ben noto in questo specifico settore tecnico, vi è una sempre più frequente richiesta di mercato per integrare su un unico dispositivo elettronico a semiconduttore sia circuiti logici ad alta densità e bassi consumi, sia memorie non volatili. Questa esigenza comporta notevoli complicazioni nel processo di fabbricazione di tali dispositivi elettronici integrati, in quanto, 20 come vedremo nel seguito, le tecnologie per realizzare l'una e l'altra tipologia di circuiti non sono completamente compatibili. Ciò comporta quindi maggiori costi di produzione e crescenti difficoltà nel raggiungere rese elevate.

25 Ad esempio, la realizzazione di transistori HV (High Voltage) ad alta tensione, che sono necessari per la gestione di alte tensioni ($> 12V$) durante la fase di programmazione delle celle non volatili di memoria, risulta particolarmente complessa in quanto non compatibile con la necessità di avere a disposizione anche circuiti logici (microcontrollore, sRAM, ROM) a bassa tensione.

30 Inoltre, grande importanza viene data anche alla velocità di trasmissione di segnali elettrici che comunemente deve essere raggiunta dai questi dispositivi. Per tale motivo i transistori

5 incorporati in tali dispositivi vengono sottoposti ad una nota tecnica di saliciurizzazione. Tale tecnica consiste sostanzialmente in una sorta di metallizzazione con saliciuro delle giunzioni e delle regioni di gate dei transistori incorporati nei circuiti logici, la qual cosa va però a discapito delle prestazioni di breakdown delle giunzioni stesse.

Ciò contrasta con l'altra necessità di disporre di transistori HV ad alta tensione che hanno come principale caratteristica proprio quella di avere una maggiore resistenza al breakdown.

10 Una prima soluzione tecnica nota per aumentare il valore della tensione di breakdown di un transistor è quella agire sul drogaggio della giunzione di source e drain.

15 In particolare, nei transistori HV la cui tensione di rottura è sufficientemente elevata per sopportare una elevata tensione di polarizzazione e di funzionamento, le giunzioni di source e drain vengono realizzate mediante regioni a basso drogaggio.

20 Pur vantaggiosa sotto vari aspetti, questa soluzione presenta vari inconvenienti. In particolare, è necessario trovare un compromesso tra il valore della tensione di breakdown tollerabile e le caratteristiche attive del transistor in termini di corrente erogata. Infatti l'elevata resistenza serie inevitabilmente introdotta da una giunzione poco drogata, rende particolarmente difficile trovare un punto di lavoro efficace fra tensione di breakdown e corrente di saturazione del transistor.

25 Un altro problema legato a questi transistori ad alta tensione è relativo ai campi elettrici di elevata intensità che si creano tra il confine dell'area attiva del transistor e l'ossido di campo.

30 Il problema tecnico che sta alla base della presente invenzione è quello di escogitare un processo per realizzare un transistor ad alta tensione, avente caratteristiche strutturali tali da consentire di evitare il sorgere di elevati campi elettrici nel silicio nella zona

di confine tra l'ossido di campo e l'area attiva del transistor dove sono presenti le giunzioni di source e drain superando gli inconvenienti legati all'integrazione di dispositivi elettronici con diverse caratteristiche elettriche in uno stesso substrato che
5 tuttora limitano i processi di realizzazione secondo l'arte nota.

Sommario dell'invenzione

L'idea di soluzione che sta alla base della presente invenzione è quella di realizzare un processo per fabbricare una cella di memoria ed un transistor ad alta tensione comprendente una doppia
10 giunzione di source e drain utilizzando fasi di processo comuni alla realizzazione delle celle di memoria non volatile.

Sulla base di tale idea di soluzione il problema tecnico è risolto da un processo del tipo precedentemente indicato e definito dalla parte caratterizzante della rivendicazione 1.

15 Il problema è altresì risolto da un transistor del tipo precedentemente indicato e definito dalla parte caratterizzante della rivendicazione 5.

Le caratteristiche ed i vantaggi del processo secondo l'invenzione risulteranno dalla descrizione, fatta qui di seguito, di un suo
20 esempio di realizzazione dato a titolo indicativo e non limitativo con riferimento ai disegni allegati.

Breve descrizione dei disegni

In tali disegni:

- le figure da 1 a 4 mostrano una vista schematica in scala
25 ingrandita e in sezione verticale di una porzione di circuito integrato su semiconduttore comprendente una cella di memoria non volatile ed un transistor ad alta tensione durante le varie fasi del processo di fabbricazione,
- le figure 5 e 6 mostrano viste schematiche dall'alto della

porzione di circuito corrispondente al transistor ad alta tensione delle figure 2 e 4 rispettivamente,

- la figura 7 mostra una vista schematica in scala ingrandita e in sezione verticale del transistor ad alta tensione secondo l'invenzione.

5

Descrizione dettagliata

Le fasi di processo e le strutture descritte di seguito non formano un flusso completo di processo per la fabbricazione di circuiti integrati.

- 10 La presente invenzione può essere messa in pratica insieme alle tecniche di fabbricazione dei circuiti integrati attualmente usate nel settore, e sono incluse solo quelle fasi del processo comunemente usate che sono necessarie per la comprensione della presente invenzione.

- 15 Le figure che rappresentano sezioni trasversali di porzioni di un circuito integrato durante la fabbricazione non sono disegnate in scala, ma sono invece disegnate in modo da illustrare le caratteristiche importanti dell'invenzione.

- 20 Con riferimento a tali figure, viene descritto il processo per realizzare un transistor ad alta tensione associato ad una cella di memoria non volatile secondo l'invenzione.

Vengono dapprima definite su un substrato 10 semiconduttore le aree attive dei vari transistori.

- 25 Ad esempio, come indicato in figura 1, un'area attiva 1 è definita per una cella di memoria comprendente un transistor a floating gate e un'altra area attiva 2 è definita per un transistor HV ad alta tensione.

Tali aree attive sono separate tra loro e dagli altri dispositivi presenti sul semiconduttore 10 da un regione 3 di isolamento di

ossido di campo.

Ovviamente, ad ogni area attiva corrisponde un predeterminato tipo di transistor.

5 Al di sopra delle aree attive 1 e 2 viene formato un sottile strato di ossido di gate 4. Lo spessore dello strato 4 è, ad esempio, maggiore al di sopra dell'area attiva 2 destinata al transistor HV, come mostrato in figura 2. Inoltre la porzione dello strato 4 al di sopra dell'area attiva 1 destinata al transistor a floating gate può presentare uno spessore non uniforme, in base al tipo di cella di memoria non volatile da realizzare.

10

Segue una fase di deposizione di uno strato 5 di polisilicio che formerà la regione di gate dei transistori, sia del transistor HV che del transistor a gate flottante.

15 Una prima maschera "poly" consente di definire e realizzare la regione 7 di gate del transistor ad alta tensione e, se previsto dal processo, la regione 6 a gate flottante del transistor a gate flottante. Una fase di attacco asporta lo strato 5 di polisilicio ai lati delle regioni di gate, come mostrato in figura 2.

20 Viene quindi effettuata una prima impiantazione leggera, vale a dire a basso dosaggio di drogante, per realizzare prime porzioni 9 delle giunzioni del transistor ad alta tensione.

Eventualmente se, previsto dal processo segue una ulteriore fase di impiantazione di drogate per realizzare giunzioni di source e drain del transistor a gate flottante.

25 Secondo l'invenzione, dopo la prima impiantazione leggera viene depositato in modo conforme uno strato 11 dielettrico su tutto il semiconduttore 10.

Lo strato 11 dielettrico è realizzato, ed esempio, mediante uno strato di ONO (Ossido-Nitrato-Ossido).

Questo strato 11 dielettrico viene utilizzato nel flusso di processo convenzionale per fabbricare celle di memoria non volatili per realizzare lo strato di dielettrico di interpoly della cella di memoria non volatile.

- 5 Vantaggiosamente, questo strato dielettrico 11 è uno strato sottile, che viene depositato in maniera conforme.

In questo strato 11 dielettrico quindi vengono formate aperture 12 in corrispondenza delle prime porzioni 9 delle giunzioni del transistor ad alta tensione.

- 10 L'ampiezza delle aperture 12 e la loro posizione rispetto alle prime porzioni 9 del transistor ad alta tensione viene scelta in modo che lo strato 3 di ossido spesso che segna il confine dell'area attiva del transistor ad alta tensione e la zona perimetrale della regione di gate del transistor ad alta tensione rimangano coperte dallo strato
15 11 dielettrico.

Viene quindi effettuata una seconda impiantazione pesante, vale a dire ad alto dosaggio di drogante, attraverso le aperture 12 per realizzare seconde porzioni 13 del transistor ad alta tensione.

- 20 Vantaggiosamente, le seconde porzioni 13 del transistor ad alta tensione sono completamente incluse nelle prime porzioni 9 del transistor ad alta tensione come illustrato in dettaglio nelle figure 4 e 7. Questa forma di realizzazione consente di ottenere un transistor ad alta tensione con un'alta tensione di breakdown, ma evita il sorgere di elevati campi elettrici nel substrato
25 semiconduttore nella zona di confine tra l'ossido di campo e l'area attiva del transistor.

- 30 Vantaggiosamente, la fase di rimozione selettiva dello strato dielettrico 11 per realizzare le aperture 12, è ottenuta con un opportuno pattern su una maschera denominata "matrix" prevista nel flusso di processo convenzionale per realizzare celle di memoria non volatile. In particolare, tale maschera è quella

utilizzata per rimuovere lo strato dielettrico 11 dalle porzioni di substrato 10 dove vengono realizzati i dispositivi a bassa tensione come ad esempio i transistori a bassa tensione.

5 Vantaggiosamente, quindi con il processo secondo l'invenzione si può quindi utilizzare lo stesso impianto ad alta dose per realizzare le giunzioni dei transistori a bassa tensione e ad alta tensione. Infatti quando si riducono le dimensioni dei singoli dispositivi anche le giunzioni dei transistori a bassa tensione vengono realizzate mediante giunzioni superficiali. In definitiva con il
10 processo secondo l'invenzione è possibile conciliare le esigenze per la realizzazione contemporanea dei dispositivi ad alta tensione e bassa tensione associati alle celle di memoria non volatili.

Inoltre con un'opportuna calibrazione della distanza delle aperture 12 dalla regione di gate del transistore ad alta tensione e dal bordo
15 della regione attiva è possibile posizionare le seconde porzioni 13 all'interno delle prime porzioni 9 in modo da ottenere le prestazioni del transistore ad alta tensione di progetto.

Le fasi del processo secondo l'invenzione sono completate in modo convenzionale con una salicizzazione delle giunzioni non
20 coperte da strati dielettrici.

Il processo è quindi completato dalla sequenza di fasi che portano al completamento del dispositivo di memoria convenzionale e per le quali non sono state previste figure di riferimento.

25 Il processo secondo l'invenzione consente di realizzare transistor HV con drain-extension integrati insieme a celle di memoria di tipo non volatile con una semplice modifica della fase di definizione dello strato di interpoly rispetto al flusso per fabbricare celle di memoria di tipo non volatile.

30 Inoltre, il processo secondo l'invenzione ha il grande vantaggio di consentire la realizzazione di transistori HV con drain extension che prevede anche una fase di salicizzazione delle giunzioni dei

transistori ad alta tensione secondo un flusso di processo compatibile con logiche avanzate. Con tale schema di processo inoltre non è necessario introdurre impianti addizionali nei contatti.

- 5 Vi è anche da rimarcare che con il processo proposto dall'invenzione è possibile ottenere un profilo di drogaggio in corrispondenza della regione di gate dei transistori ad alta tensione tale che il breakdown delle giunzioni del transistor ad alta tensione sia sufficientemente alto.
- 10 In conclusione, il processo secondo l'invenzione consente di realizzare dei transistori ad alta tensione comprendenti prime porzioni 9 delle giunzioni di source e drain a basso drogaggio in prossimità della regione di gate e dello strato di ossido di campo, e
- 15 seconde porzioni 13 delle giunzioni di source e drain vengono localmente arricchite di drogante, in modo da essere compatibili con la formazione dello strato di saliciuro (TiSi_2 / CoSi_2) senza pericolo di degrado della giunzione per impoverimento di drogante.
- 20 In particolare, lo strato dielettrico 11 viene utilizzato come schermo per le regioni poste in prossimità della regione di gate e dello strato di ossido di campo al bordo dell'area attiva rispetto al secondo impianto pesante che viene effettuato sul dispositivo ad alta tensione.
- 25 Nel processo descritto si è fatto riferimento ad uno dei possibili flussi di processo di realizzazione delle celle di memoria non volatile. Il processo secondo l'invenzione può essere anche vantaggiosamente utilizzato nei processi per fabbricare delle celle di memoria non volatili del tipo auto allineato. In particolare, in questi processi di tipo auto allineato la fase di attacco della regione di gate del transistor a gate flottante viene effettuata dopo aver
- 30 completato la formazione del transistor ad alta tensione secondo l'invenzione.

RIVENDICAZIONI

1. Processo per realizzare transistori HV ad alta tensione con estensione di drain integrati su un substrato semiconduttore (10) insieme a celle di memoria non volatile comprendenti transistori a gate flottante, il processo prevedendo almeno le seguenti fasi:
- definizione su un medesimo substrato (10) semiconduttore di rispettive aree attive (1, 2) per transistori HV ad alta tensione e per transistori a gate flottante separate da regioni (3) di isolamento;
 - deposizione di uno strato (4) di ossido di gate su dette aree attive;
 - deposizione di uno strato (5) di polisilicio al di sopra dello strato (4) di ossido di gate;
 - una prima mascheratura e successivo attacco dello strato (5) di polisilicio per regioni (7) di gate di detti transistori HV;
 - effettuare una prima impiantazione di drogante per realizzare prime porzioni (9) delle giunzioni del transistor ad alta tensione,
 - deposizione conforme di uno strato dielettrico (11) su tutto il substrato (10) per realizzare uno strato interpoly di detto transistor a gate flottante; caratterizzato dal fatto di realizzare aperture (12) poste in corrispondenza di dette prime porzioni (9) delle giunzioni del transistor ad alta tensione,
 - effettuare una seconda impiantazione di drogante per realizzare seconde porzioni (13) delle giunzioni del transistor ad alta tensione attraverso dette aperture (12), la regione perimetrale delle regioni di gate e dell'area attiva del transistor a gate flottante essendo schermate da detto strato (11) dielettrico.
2. Processo secondo la rivendicazione 1, caratterizzato dal fatto che dette seconde porzioni (13) delle giunzioni del transistor a gate flottante sono meno profonde rispetto a dette prime porzioni (9) delle giunzioni del transistor a gate flottante.

3. Processo secondo la rivendicazione 1, caratterizzato dal fatto di prevedere una fase di saliciurizzazione di dette seconde porzioni (13) delle giunzioni del transistor ad alta tensione.

5 4 Transistore HV ad alta tensione integrato in un substrato
semiconduttore (10) di un primo tipo di conducibilità
comprendente una regione di gate (7) compresa tra corrispondenti
giunzioni di drain e source, del tipo in cui dette giunzioni
comprendono prime regioni (9) debolmente drogate con un secondo
10 tipo di conducibilità e seconde regioni (13) maggiormente drogate
del secondo tipo di conducibilità caratterizzato dal fatto che dette
seconde regioni (13) maggiormente drogate sono contenute
all'interno di dette prime regioni (9) debolmente drogate, e dal
fatto che dette giunzioni di drain e source sono ricoperte da un
15 sottile strato (11) dielettrico solo in corrispondenza di dette prime
regioni (9) debolmente drogate.

RIASSUNTO

Processo per realizzare transistori HV ad alta tensione con estensione di drain integrati su un substrato semiconduttore (10) insieme a celle di memoria non volatile comprendenti transistori a gate flottante, il processo prevedendo almeno le seguenti fasi:

5

- definizione su un medesimo substrato (10) semiconduttore di rispettive aree attive (1, 2) per transistori HV ad alta tensione e per transistori a gate flottante separate da regioni (3) di isolamento;

- deposizione di uno strato (4) di ossido di gate sulle aree attive;

10

- deposizione di uno strato (5) di polisilicio al di sopra dello strato (4) di ossido di gate;

- una prima mascheratura e successivo attacco dello strato (5) di polisilicio per regioni (7) di gate dei transistori HV;

15

- effettuare una prima impiantazione di drogante per realizzare prime porzioni (9) delle giunzioni del transistor ad alta tensione,

- deposizione conforme di uno strato dielettrico (11) su tutto il substrato (10) per realizzare uno strato interpoly del transistor a gate flottante;

20

- realizzare aperture (12) poste in corrispondenza delle prime porzioni (9) delle giunzioni del transistor ad alta tensione,

25

- effettuare una seconda impiantazione di drogante per realizzare seconde porzioni (13) delle giunzioni del transistor ad alta tensione attraverso le aperture (12), la regione perimetrale delle regioni di gate e dell'area attiva del transistor a gate flottante essendo schermate dallo strato (11) dielettrico.

1/2

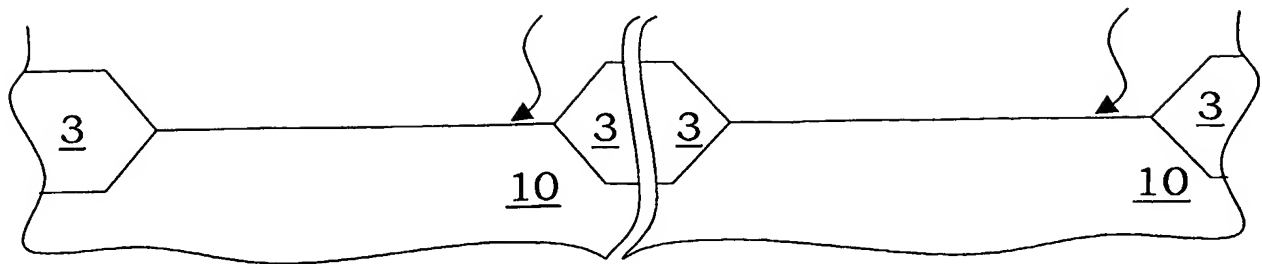


Fig. 1

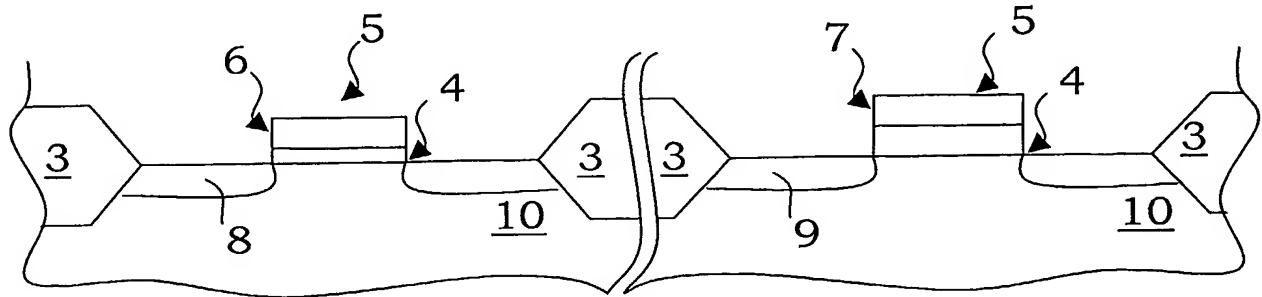


Fig. 2

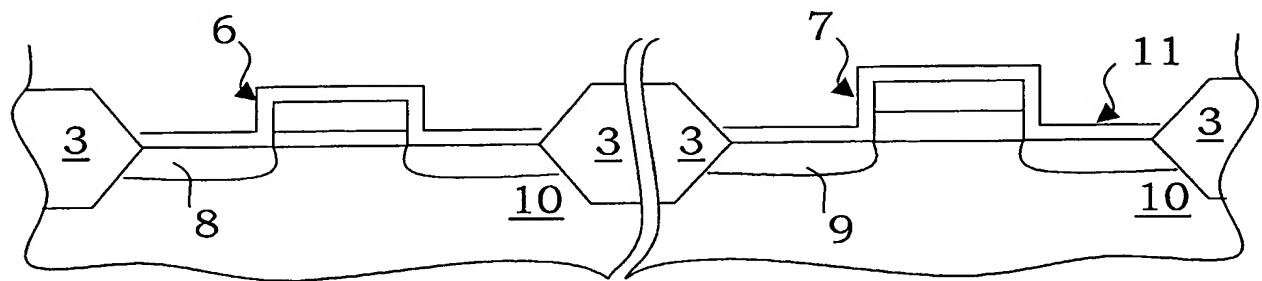


Fig. 3

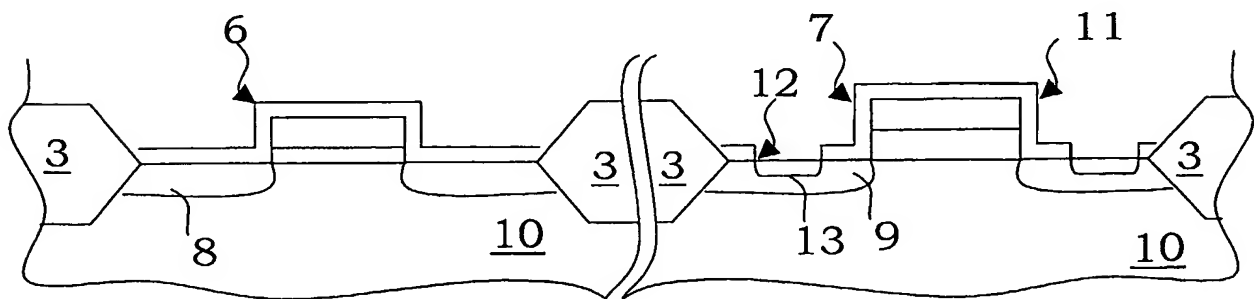


Fig. 4

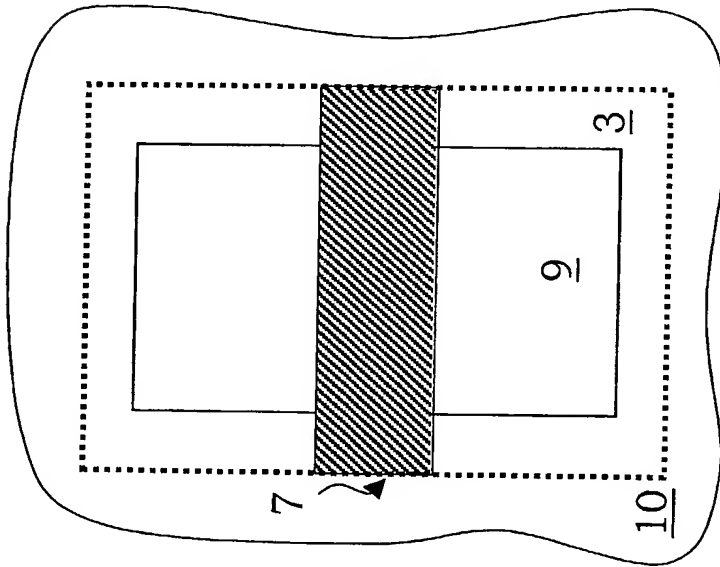


Fig. 5

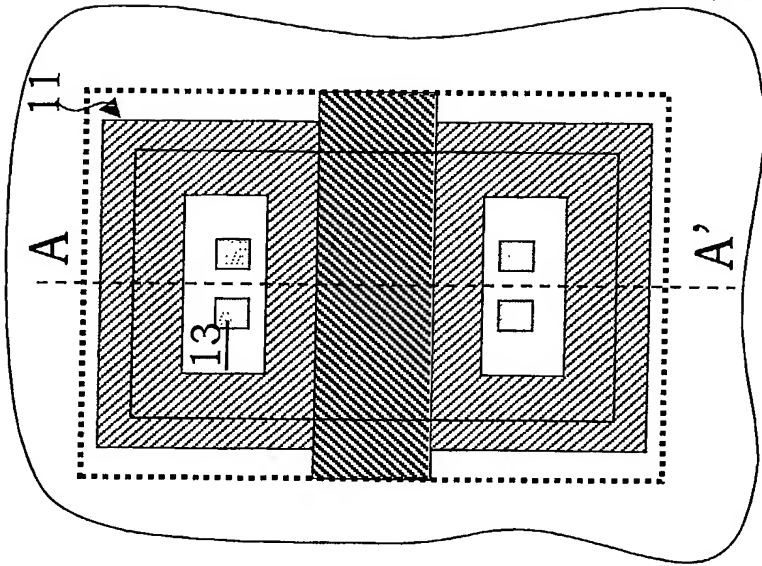


Fig. 6

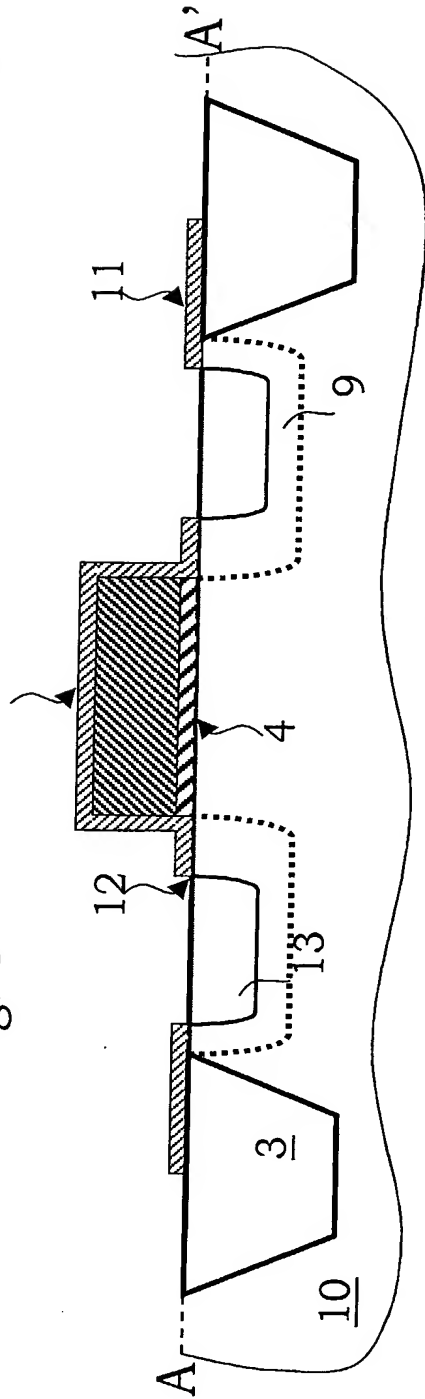


Fig. 7